

Aug. 1 2002

〒206-0811 東京都稲城市押立 1288  
(株)ワイ・デー・ケー  
YDKテクノロジーズ  
<http://www.ydkinc.co.jp/ghn/index.html>  
[info@ghn.ydkinc.co.jp](mailto:info@ghn.ydkinc.co.jp)

<< 留意事項 >>

ご参照にあたっては、以下の事項への留意が必要です。

1. 著作権  
(株)ワイ・デー・ケー YDKテクノロジーズは、本ディレクトリ下のすべてのファイル(以下「本ファイル」)の著作権を有します。
2. 配布  
(株)ワイ・デー・ケー YDKテクノロジーズの許可無く再配布はできません。
3. 改変  
本ファイルの改変を禁じます。
4. 本ファイルを使用して作成したコード  
改変されていない本パッケージを参照して作成したコードは、自由に使用することができます。但し、(株)ワイ・デー・ケー YDKテクノロジーズの許可無く再配布はできません。
5. 無保証  
(株)ワイ・デー・ケー YDKテクノロジーズは、本ファイルの参照に関連して発生した、いかなる損害についても責を負いません。  
また、バグの修正や、バージョンアップの責務も負いません。
6. サポート  
(株)ワイ・デー・ケー YDKテクノロジーズは、個別に本ファイルのサポートは行いません。  
また、バージョンアップや、修正の義務を持ちません。

YDKテクノロジーズは以下のホーム・ページにおいてのみ、本ファイルのサポートを行う予定です。(最新版は、以下においてのみ、保証されます)  
<http://www.ydkinc.co.jp/ghn/>

直接のお問い合わせは、弊社ホームページのサポート宛での E-Mail のみ受け付けます。但し、回答の義務を持ちません。

# N A R E F Nios Ethernet 開発評価ボード

( N A R E F Nios reference design board )

## 取り扱い説明書



2002年7月26日  
(株)ワイ・デー・ケー

## 1. NAREFの概要

NAREFは、ALTERA社ソフトCPUコア(Nios)をALTERA社のFPGA上に構成し、標準I/OとしてFast Ethernet、RS232Cインターフェースを搭載した小型モジュールです。

名刺サイズでありながら標準でFast Ethernet、RS232Cインターフェースを実装し、DIPスイッチ、LED、デバッグ用シリアルポートなども搭載しています。

100BASE-TXをサポートするFast Ethernetインターフェースには弊社製MAC IPコア「YG0120」をNiosCPU同じFPGA上に構成しています。PHY(物理層)チップのみ外付けとなります。

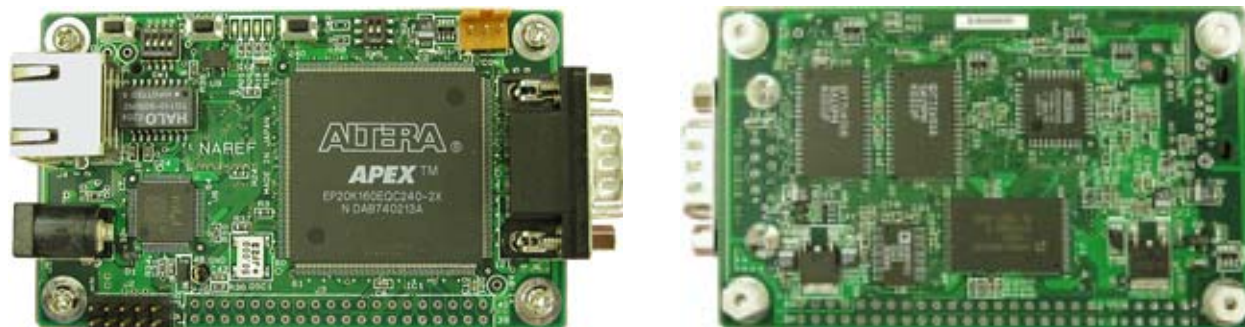
汎用I/Oとして使える拡張用の40ピンヘッダも用意してありますのでユーザ独自の周辺回路をFPGA上に構成することによりシステム拡張やユーザ回路の追加などが可能です。

ハードウェアアーキテクチャはNios開発キットおよびNiosイーサネット開発キットに準拠しているため、Nios開発キット上で開発デバッグしたソフトウェアをNAREF SDK環境で再コンパイルし転送するだけで動作させることができます。

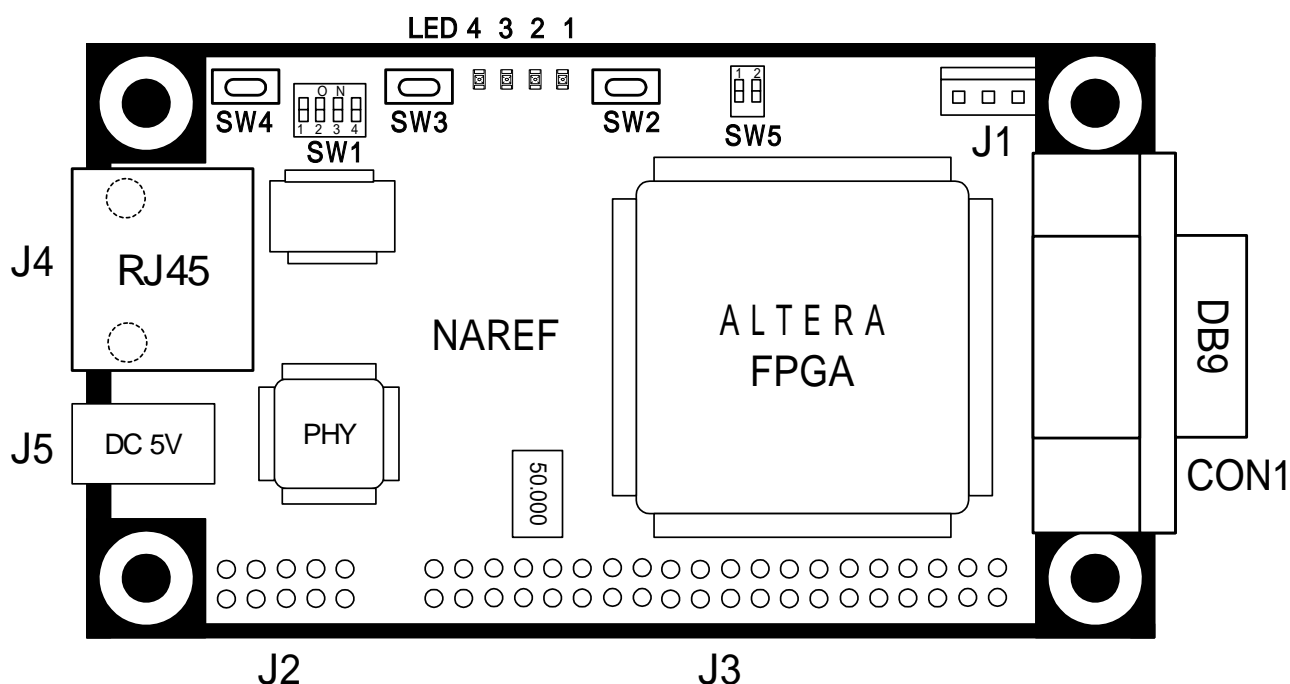
### NAREF仕様

項目	内容	備考
CPU	Nios (32bitRISC)	25MHz
SRAM	256Kbyte	
Flash ROM	1Mbyte	
PLD	EP20K160EQC240	公称約 16 万ゲート
基板サイズ	54.5 × 90mm	突起物は除く
Ethernet	10Base-T/100Base-TX	RJ45 コネクタ
RS232C	115.2K ~ 300bps	DB9P コネクタ(DTE仕様)
内部SIO	115.2Kbps	3P コネクタ
拡張コネクタ	汎用IOピン	MIL-40P コネクタ取付可能
電源供給	+5.0±5% [V]	ACアダプタにて供給

## 外観写真

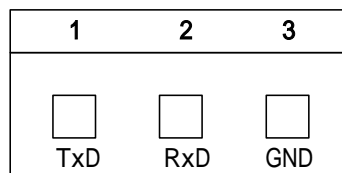


## 2 . N A R E F 各部の説明



## J 1 デバッグポートコネクタ

N i o s 開発キットの NIOS-RUN プログラムと通信するためのシリアルポートです。  
Nios 開発環境パソコンのシリアルポートと J 1 を製品添付の専用ケーブルで接続します。



J 1 端子配線図

## J 2 J T A G コネクタ

本ボード上の F P G A へコンフィグ情報を書き込む際に使用します。

誤った情報を書き込むと本ボードを破損する恐れがあります。コンフィグ情報を作成する際には本マニュアル、回路図などをよく参照して、十分注意して作成してください。

## J 3 ユーザ拡張用コネクタ

FPGAからのI/Oピンを直接配線してあります。独自回路を追加した際に入出力ポートとして利用できます。

ピン	信号名	FPGA ピンアサイン	ピン	信号名	FPGA ピンアサイン
1	EXP_P1	66	2	GND	-
3	EXP_P3	68	4	EXP_P4	69
5	EXP_P5	70	6	EXP_P6	71
7	EXP_P7	74	8	EXP_P8	75
9	EXP_P9	76	10	EXP_P10	77
11	EXP_P11	79	12	EXP_P12	80
13	EXP_P13	81	14	EXP_P14	82
15	EXP_P15	83	16	EXP_P16	84
17	EXP_P17	85	18	EXP_P18	94
19	GND	-	20	+3.3V	-
21	EXP_P21	95	22	GND	-
23	EXP_P23	96	24	GND	-
25	EXP_P25	98	26	GND	-
27	EXP_P27	99	28	EXP_P28	100
29	EXP_P29	101	30	GND	-
31	EXP_P31	102	32	EXP_P32	103
33	EXP_P33	104	34	GND	-
35	EXP_P35	105	36	EXP_P36	109
37	EXP_P37	110	38	EXP_P38	111
39	EXP_P39	112	40	GND	-

出荷時のFPGAコンフィグ情報では出力として使用されています。

(I/Oアドレス 0x420)PIO出力 ON=1、OFF=0

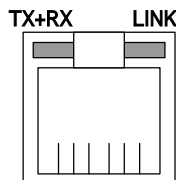
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
p17	p16	p15	p14	p13	p12	p11	p10	p9	p8	p7	p6	p5	p4	p3	p1
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
-	p39	p38	p37	p36	p35	p33	p32	p31	p29	p28	p27	p25	p23	p21	p18

出荷時I/Oアドレス0x420のビット割り当て

#### J 4 RJ 4 5 コネクタ

イーサネット(100Base-TX、10Base-T)接続用コネクタです。ストレートケーブルでハブなどに接続して下さい( PC との接続にはクロスケーブルが必要です)。

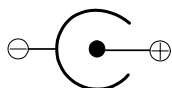
コネクタの上部には2個のLEDが有り、挿入口から見て右側はケーブルリンク時に点灯し、左側はLAN送受信時に点灯します。



#### J 5 DC 5 V 電源コネクタ

本ボードの電源供給用コネクタです。使用状態のコネクタ部で  $5V \pm 5\%$  となるような容量 1A 以上の電源を接続して下さい。

逆電圧や過電圧等の保護は有していませんので、電源電圧および極性には十分ご注意下さい。DCジャックは 2.1/5.5mm のもので、中心がプラス、外側がマイナスとなります。

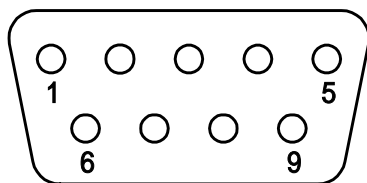


#### CON 1 DB 9 コネクタ

9ピンDTE仕様のシリアルインターフェースコネクタです。

NiosのUARTインターフェース信号をRS232Cレベル変換し接続してあります。

プログラム上から汎用シリアルポートとして使用できます。



ピン	信号	入出力	ピン	信号	入出力
1	NC	未接続	6	NC	未接続
2	RXD	入力	7	RTS	出力
3	TXD	出力	8	CTS	入力
4	NC	未接続	9	NC	未接続
5	GND	グラウンド			

#### SW 1 4 P DIP - SW

汎用のDIP-SWです。FPGAからのI/Oピンを直接配線してあります。

出荷時のFPGAコンフィグ情報、回路ではNios周辺回路PIOに接続してあります。

(I/Oアドレス 0x470)

#### SW 2 汎用プッシュボタン

汎用のプッシュSWです。FPGAからのI/Oピンを直接配線してあります。

出荷時のFPGAコンフィグ情報、回路ではNios周辺回路PIOに接続してあります。

(I/Oアドレス 0x470) PIO入力 ON = 0、OFF = 1

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
				SW1-4	SW1-3	SW1-2	SW1-1								SW2

## 出荷時 I/O アドレス 0x470 のビット割り当て

## SW3 CPUリセットスイッチ

SW3 を押すと FPGA 上の Nios CPU、周辺回路にリセット信号が送られます。

## SW4 パワーオンリセットスイッチ

SW4 を押すとパワーオンリセット時と同じ動作をします。

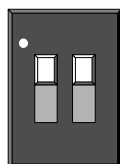
パワーオンリセット時はコンフィグ情報がフラッシュROMから FPGA へ読み込まれ、CPU やその他回路が構成され、その後 CPU、周辺回路にリセット信号が送られます。

読み込まれるコンフィグデータは FlashROM アドレス 180000H からの通常使用コンフィグデータです。ユーザ独自回路など追加した結果うまく Nios が起動できなくなってしまうときには SW3 を押しながら SW4 を押すことで 1C0000H からの工場出荷時コンフィグデータで起動することができます。

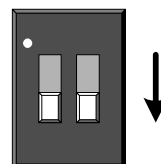
## SW5 JTAGチェイン切替スイッチ

本ボード上の JTAG コネクタ経由で FPGA および PLD にコンフィグ情報を書込む際、どちらのデバイスに書込むか選択するスイッチです。

下記 2 つの設定以外は設定禁止とします。



APEX FPGA へ書込み



EPM3064 PLD へ書込み

## LED

情報表示用に LED を 4 つ実装してあります。

FPGA からの I/O ピンを直接配線してあります。

出荷時の FPGA コンフィグ情報、回路では Nios 周辺回路 PIO に接続してあります。

(I/O アドレス 0x460) PIO 出力 1 = 点灯 0 = 消灯

### 3 . 本ボード上でのN i o s 開発キット付属サンプルソフトウェアの使用方法

本ボード上にはSDOS2をベースとしてTELNET、HTTP、SMTPなどのすでにコンパイル済みのサンプルソフトウェアが付属しています。

GNUPro Cygwin 環境の Bash がすでにインストールされていればそのまま転送して試すことができます。各サンプルソフトの内容についてはそれぞれのディレクトリ内にあるTXT ファイルを参照してください。

HTTP サーバによる Web Config サンプルソフトについては、添付 CD 内に

「NARE10 サンプルソフトウェア実行手順書」が収納されております。手順書を参考に実行してください。

\* なお、サンプルプログラムの実行環境の為、RS232C のクロスケーブルと、Ethernet 環境が必要となります。

#### 4．NAREFハードウェアのプロジェクト作成

本ボードのハードウェアを変更し独自回路などを追加する場合は新規にプロジェクトを作成し、SDK環境なども整える必要があります。これらの手順は添付の「プロジェクト作成手順」マニュアルを参照してください。

#### 5．NAREFのメモリ、I/Oマップ

000000	Boot Monitor Memory Mapped I/O
040000	SRAM 256KB
080000	
100000	User Config Data Area
120000	FlashROM File System (128KB)
140000	User Program Area
180000	APEX Config DATA 1 通常使用ユーザコンフィグデータ
1C0000	APEX Config DATA 2 工場出荷時コンフィグデータ
200000	

## 改版履歴

2002/06/12	初版発行
2002/07/11	2.NAREF 各部の説明、JTAG チェイン切替えスイッチの図を変更
2002/7/26	3.本ボード上での... 「サンプルソフトウェア実行手順書」について追加。